

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339986

(43)Date of publication of application : 07.12.2001

(51)Int.CI.

H02P 7/00

(21)Application number : 2000-155518 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

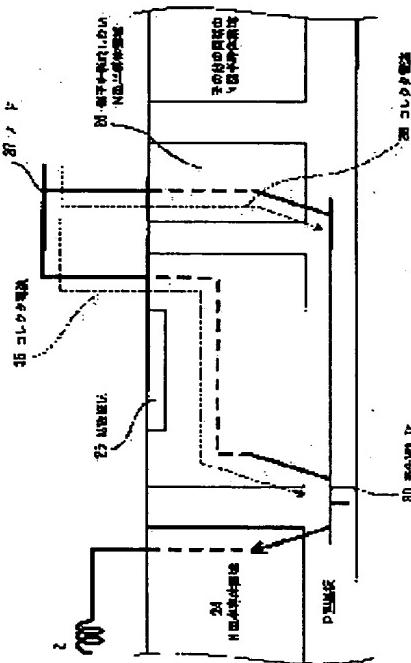
(22)Date of filing : 26.05.2000 (72)Inventor : SHIROKOSHI HIDEKI
FUKAMIZU SHINGO

(54) SEMICONDUCTOR DEVICE FOR MOTOR DRIVE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress maloperation by parasitic current when shutting down a power source supply voltage by reducing the influence by parasitic transistors.

SOLUTION: Maloperation of a head actuator control circuit is suppressed by suppressing parasitic current by making a parasitic PNP transistor in an off state by connecting a N-type semiconductor domain of a dispersed resistor 25 and a N-type semiconductor domain 26 which does not form element to a node 37 which takes out by rectifying three-phase induced electromotive force generated by rotation inertia of a motor, when the power supply voltage is shut down.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-339986

(P2001-339986A)

(43)公開日 平成13年12月7日 (2001.12.7)

(51)Int.Cl.⁷

H 0 2 P 7/00

識別記号

F I

H 0 2 P 7/00

テマコード(参考)

U 5 H 5 7 0

N

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号 特願2000-155518(P2000-155518)

(22)出願日 平成12年5月26日 (2000.5.26)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 城越 英樹

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 深水 新吾

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100068087

弁理士 森本 義弘

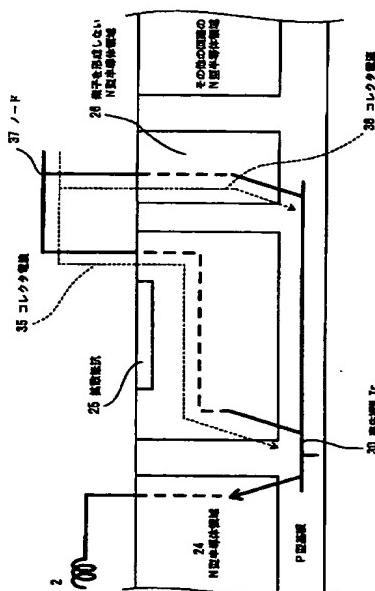
Fターム(参考) 5H570 AA11 BB20 CC01 DD01 EE08
GG01 HA08 LL02 MM10

(54)【発明の名称】 モータ駆動用半導体装置

(57)【要約】

【課題】 電源電圧遮断時に、寄生トランジスタの影響を低減させて、寄生電流による誤動作を抑制する。

【解決手段】 拡散抵抗25のN型半導体領域と素子を形成しないN型半導体領域26を、電源電圧遮断時にモータの慣性回転によって発生する3相の誘起起電力を整流して取り出したノード37に接続することにより、寄生PNPトランジスタをオフ状態にし、寄生電流の発生を抑制し、ヘッドアクチュエータ制御回路の誤動作を抑制する。



【特許請求の範囲】

【請求項1】 各々が直列に接続された2つのパワー素子で構成される複数相の分岐を有し、各分岐の前記2つのパワー素子の中点がモータコイルに接続され、各分岐の電源側を電源電圧遮断時にモータの慣性回転によって発生する複数相の誘起起電力を整流して取り出した複数相の分岐の電源側の共通接続点に共通接続し、アノードが各分岐の前記2つのパワー素子の中点に接続されカソードが前記共通接続点に接続されたダイオードを有し、電源電圧が存在する場合には高導通状態であり電源電圧が遮断された場合には絶縁状態となる分離用装置を前記共通接続点と電源電圧点との間に有し、N型半導体中にP型半導体を拡散して形成される拡散抵抗のN型半導体領域とN型半導体領域で回路素子を形成しない領域を前記共通接続点に接続したモータ駆動用半導体装置。

【請求項2】 請求項1に記載のモータ駆動用半導体装置において、前記パワー素子はMOS型のトランジスタであることを特徴とするモータ駆動用半導体装置。

【請求項3】 各々が直列に接続された2つのパワー素子で構成される複数相の分岐を有し、各分岐の2つの前記パワー素子の中点が前記モータコイルに接続され、各分岐の電源側を前記共通接続点で共通接続し、前記パワー素子はアノードがソースにカソードがドレンに接続されたダイオードを内蔵したMOS型のトランジスタであり、電源電圧が存在する場合には高導通状態であり電源電圧が遮断された場合には絶縁状態となる分離用装置を前記共通接続点と電源電圧点との間に有し、N型半導体中にP型半導体を拡散して形成される拡散抵抗のN型半導体領域とN型半導体領域で回路素子を形成しない領域を前記共通接続点に接続したモータ駆動用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 モータ駆動用半導体装置に関するものである。

【0002】

【従来の技術】 以下、モータ駆動用半導体装置の一例として磁気ディスクモータ駆動用半導体装置について説明する。近年、磁気ディスクモータ駆動用半導体装置は1チップ化が進み、記録媒体である磁気ディスクを回転させるモータの駆動、データの読み出し・書き込みをするヘッドを移動させるヘッドアクチュエータの駆動、電源電圧遮断時にヘッドを退避位置に移動させるためのヘッドアクチュエータの駆動と3つの機能を1チップで行われるようになってきた。

【0003】 以下、それぞれの機能について説明する。通常の磁気ディスク装置のパワー制御回路を図2を参照して簡単に説明する。モータ2と読み出し・書き込みヘッドを移動させるヘッドアクチュエータ3とがブッシュプルパワー段により電源ライン1から例えば12Vで駆動される。モータ2は3つの分岐U、VおよびWにより駆動され、これらの分岐はそれぞれ2つのパワー素子S1とS2、S3とS4、S5とS6を有している。分岐U、VおよびWよりなるパワー段はモータ制御回路4により制御される。このモータ制御回路4により適切な制御信号が接続ライン14～19を経てパワー素子S1～S6に供給されてモータ2の所定の回転速度を得る。抵抗RS1は低抵抗値であり、モータ2の各相を流れた電流は全てこの抵抗RS1を流れる。この抵抗RS1の両端間に生じる電圧は増幅器7により増幅された後、モータ制御回路4の入力端子8に供給される。

【0004】 次にヘッドアクチュエータ3はプリッジ型の別のパワー段により駆動される。このパワー段は2つの分岐NおよびPを有し、これらの分岐はそれぞれ2つの直列に接続されたパワー素子S7とS8、S9とS10を有する。このパワー段はヘッドアクチュエータ制御回路5により制御される。このヘッドアクチュエータ制御回路5は、データをディスクから読み出すか、あるいはディスクに書き込む位置にヘッドを移動させる制御信号を接続ライン20～23を経て出力する。ヘッドアクチュエータ3には検出抵抗RS2が接続されており、この抵抗の両端間に、ヘッドアクチュエータ3を流れる電流の抵抗値倍された電圧が発生し、この電圧が増幅器12により増幅されてヘッドアクチュエータ制御回路5の入力端子13に供給される。このヘッドアクチュエータ制御回路5によってヘッドアクチュエータ3に流れる電流の値を制御する。

【0005】 3つ目にヘッドアクチュエータ退避機能について説明する。磁気ディスクモータ駆動用半導体装置内部の電源電圧は電源を遮断されると急激に接地電圧まで減少する。この時一般的には、ディスクが停止する前に、データが蓄積されているディスク領域外、つまり、ディスクの速度が落ちた際にヘッドがディスク面と接触することによりデータが損傷されないような位置にヘッドを移動させる。このために、電源が遮断された時にヘッドアクチュエータ3が退避位置とは逆の方向に移動しているような場合でも、ヘッドアクチュエータ3を完全に退避位置に移動させるだけの電流を必要とする。そのため、モータ2の慣性回転による運動エネルギーを利用して発電するようにし、この誘起起電力を利用してヘッドアクチュエータ3の退避位置への移動を行う。この機能を実現するためには、通常、トランジスタ11のような分離用装置を設けて、このモータ2から発生される電流が、この場合0Vである電源ライン1に戻らないようにする必要がある。

【0006】電源電圧検知回路6は特定の値以下の電源電圧降下を検出すると直ちにモータ制御回路4およびヘッドアクチュエータ制御回路5の動作モードを変更する。実際には、電源電圧検知回路6はその磁気ディスク装置に使用されている複数の電源、例えば、12V、5V、3.3Vの3つの電源電圧を検知しており、そのどれか1つでも特定の電圧以下になると動作モードを変更する指令をモータ制御回路4およびヘッドアクチュエータ制御回路5に接続ライン9を経て伝達する。

【0007】以下、従来の磁気ディスクモータ駆動用半導体装置について説明する。図3はモータ2、ヘッドアクチュエータ3と磁気ディスクモータ駆動用半導体装置の接続を示した図であり、11は電源電圧遮断時に電源と磁気ディスクモータ駆動用半導体装置との導通を遮断する分離用トランジスタ、S1～S6はモータを駆動するパワー素子、27～29はモータの各相と磁気ディスクモータ駆動用半導体装置の接続点、S7～S10はヘッドアクチュエータ3を駆動するパワー素子である。これらのパワー素子S1～S6は種々の形態をとりうるが、NチャネルDMOSトランジスタとするのが好ましく、これらのDMOSトランジスタは実際にこの分野で最も適した種類のトランジスタの1つである。同じく、DMOSトランジスタで構成される4個のパワー素子S7～S10はヘッドアクチュエータ3を駆動するパワー段を構成する。また、電源電圧に対する分離用DMOSトランジスタ11により与え、電源電圧が存在している時には、電源における直列電圧降下が最小になるようになる。この分離用DMOSトランジスタ11に対する導通指令は電源電圧検知回路（図2電源電圧検知回路6参照）により与えることができる。

【0008】以上のように構成された磁気ディスクモータ駆動用半導体装置について、以下の電源電圧遮断時の動作を図3を用いて説明する。37は分岐27、28および29の電源側の共通接続点（以下ノード37と称す）で、その電位は分岐27、28および29の電位のうち最も高い電位と同じになる。まず、電源電圧を遮断すると、電源電圧検知回路（図2電源電圧検知回路6参照）が、電源電圧が遮断されたことを検知し、11の分離用DMOSトランジスタをオフさせるので、ノード37から電源に向かう経路は11のDMOSトランジスタ固有のダイオードによって完全に絶縁され、また、モータ2の各相と磁気ディスクモータ駆動用半導体装置の接続点27～29から接地点に向かう経路もS1、S4およびS5のDMOS固有のダイオードにより絶縁される。これによって、モータ2が発生させる3相の誘起電力は、S2、S3およびS6のDMOS固有のダイオードによって整流され、ノード37に供給される。この時電源電圧遮断時のヘッドアクチュエータ制御回路5はS7とS9を制御し、ヘッドアクチュエータ3に電流を流し、所望の退避位置までヘッドアクチュエータ3を移

動させる。

【0009】さらに、電源電圧遮断時のS7とS9のDMOSトランジスタの制御回路を具体的な回路例を挙げ、その動作を簡単に説明する。図6はヘッドアクチュエータ制御回路5の一例を示したものである。電源電圧が存在している場合には、分離用DMOSトランジスタ11は高導通状態にあり、外付け容量38は電源電圧からダイオード48の順方向電圧分だけ低い電圧まで充電されている。電源電圧が遮断されると電源電圧検知回路6が、電源電圧が遮断されたことを検知し、分離用DMOSトランジスタ11とスイッチトランジスタ39～41をオフさせる。そして分岐P側のDMOSトランジスタS9のゲートはダイオード49、拡散抵抗50、ダイオード53を経てバイアスされ、S9は高導通状態となり、分岐Pの電圧は約0Vになる。ここで拡散抵抗50は、外付け容量38の残留電荷を長時間保持させるために設けた高抵抗であり、外付け容量38から回路に流れ込む電流量を制限している。

【0010】一方、分岐N側のDMOSトランジスタS7は、外付け抵抗44、45、拡散抵抗43、NPNトランジスタ42、ダイオード56、52、および経路46で構成される負帰還回路によってバイアスされ、分岐Nの電圧は、

$$V_n = V_{be42} \times (1 + R44/R45 + R44/R43)$$

ここで

V_n : 分岐Nの電圧

V_{be42} : NPNトランジスタ42の V_{be}

$R43$: 拡散抵抗43の抵抗値

$R44, R45$: 外付け抵抗44、45の抵抗値で決定され、ヘッドアクチュエータ3には分岐Nから分岐Pに向かう向きに電流が流れ、退避位置への移動が行われる。

【0011】上記のように、この回路において電源電圧遮断後は、外付け容量38の残留電荷によって、S7およびS9のDMOSトランジスタのゲートバイアス回路を駆動している。

【0012】以下、この構成における課題点を図を用いて説明する。図4は従来の磁気ディスクモータ駆動用半導体装置の半導体断面を模式的に示した図であり、24は分岐27、28、29のグランド側のNチャネルDMOSトランジスタ（以下、グランド側のNチャネルDMOSトランジスタと略す）のドレインN型半導体領域、25は拡散抵抗、26は素子を形成しないN型半導体領域である。電源電圧遮断後は磁気ディスクモータ駆動用半導体装置によるモータの回転制御は行われなくなるため、モータ2の各相と磁気ディスクモータ駆動用半導体装置の接続点27～29（図3参照）の電圧は、図5に示すように、モータ2が慣性回転しているため負電位になる区間が発生する。この負電位は、S1、S4および

5.
S 5 (図3参照) の固有のダイオードによって決まる電圧となる。この負電位によって寄生トランジスタ30, 31が発生する。寄生トランジスタ30はグランド側のNチャネルDMOSトランジスタのドレイン側のN型半導体領域(エミッタ)、P型半導体基板(ベース)、拡散抵抗25のN型半導体領域(コレクタ)で寄生NPNトランジスタとなり、寄生トランジスタ31は拡散抵抗25(P型半導体エミッタ)、拡散抵抗25のN型半導体領域(ベース)、P型半導体基板(コレクタ)で寄生PNPトランジスタとなる。モータの各相と磁気ディスクモータ駆動用半導体装置の接続点27~29(図3参照)の電圧が負電位になると寄生NPNトランジスタ30がオンし、寄生PNPトランジスタ31のベース電流を供給し、寄生PNPトランジスタ31はオンし、拡散抵抗25(P型半導体エミッタ)からP型半導体基板(コレクタ)に向けて寄生電流32が流れることになる。磁気ディスクモータ駆動用半導体装置は、上記にも説明したように、電源電圧遮断時にヘッドアクチュエータ3を退避位置に移動させる機能を実現するために、電源電圧遮断後もヘッドアクチュエータ駆動回路を正常に制御する必要がある。しかし、この寄生電流32はヘッドアクチュエータ制御回路5内部(拡散抵抗25)からP型半導体基板に流れる電流なので、電源電圧遮断時にヘッドアクチュエータ制御回路5の誤動作の原因となる。

【0013】誤動作の一例を図6を用いて説明する。拡散抵抗50が図4に示す拡散抵抗25に対応しているので、上記で説明したように、寄生NPNトランジスタ30(図4参照)と寄生PNPトランジスタ31(図4参照)が発生し、拡散抵抗25(図6では拡散抵抗50)からP型半導体基板に向けて寄生電流が流れ。これによって、外付け容量38の残留電荷は、拡散抵抗50から基板に流れる寄生電流として消費されてしまうことになり、ヘッドアクチュエータ3動作に必要な電流を供給できなくなる。

【0014】上記のように外付け容量38の残留電荷は、拡散抵抗50の寄生電流によって保持されなくなるので、S7およびS9のDMOSトランジスタのゲートバイアスをすることができなくなり、電源電圧遮断時のヘッドアクチュエータ制御回路の誤動作となる。

【0015】また寄生NPNトランジスタ30のコレクタは、上記に示した拡散抵抗25のN型半導体領域だけでなく、N型エピタキシャル層領域で回路素子が存在しない領域をエミッタ、P型半導体基板をベース、他の回路のN型半導体領域をコレクタとする寄生NPNトランジスタ33のエミッタ電流を供給し、寄生NPNトランジスタ33をオンさせ、これによって電源遮断時にヘッドアクチュエータ制御回路5のN型半導体領域(コレクタ)から素子を形成しないN型半導体領域(エミッタ)に向けて寄生電流34が流れ、この寄生電流もまた

ヘッドアクチュエータ制御回路5の誤動作の原因となる。

【0016】以上に説明したように、磁気ディスクモータ駆動用半導体装置においては、電源遮断時のヘッドアクチュエータ制御回路5の誤動作の原因となる寄生電流が流れる。この寄生電流の影響を低減するために、従来の磁気ディスクモータ駆動用半導体装置は、寄生電流の絶対値は負電位となるN型半導体の領域からの物理的な距離に比例するという性質を利用して、電源電圧遮断時のヘッドアクチュエータ制御回路5部を半導体チップ上でグランド側のNチャネルDMOSトランジスタからの距離を大きく取った位置に配置するか、もしくは、モータの各相と磁気ディスクモータ駆動用半導体装置の接続点に寄生NPNトランジスタ30が発生しないように負側の電圧を外付け回路によってクランプしていた。

【0017】

【発明が解決しようとする課題】以上に説明したように、従来の構成では、寄生電流32による電源電圧遮断時のヘッドアクチュエータ制御回路5の誤動作を防ぐために、寄生トランジスタの影響を受けやすい電源電圧遮断時のヘッドアクチュエータ制御回路5をグランド側のNチャネルDMOSトランジスタから物理的に距離を大きく取った位置に配置するというマスクレイアウト上の制約を設けるか、もしくは、モータの各相とモータ駆動用半導体装置の接続点に外付けにクランプ回路を付けることが必要であった。

【0018】本発明は上記従来の問題点を解決するもので、レイアウトに制約を設けたり外付けにクランプ回路を付けることなく、寄生トランジスタの影響を低減させることのできるモータ駆動用半導体装置を提供することを目的とする。

【0019】

【課題を解決するための手段】この目的を達成するために、請求項1記載のモータ駆動用半導体装置は、各々が直列に接続された2つのパワー素子で構成される複数相の分岐を有し、各分岐の2つのパワー素子の中点がモータコイルに接続され、各分岐の電源側を電源電圧遮断時にモータの慣性回転によって発生する複数相の誘起起電力を整流して取り出した複数相の分岐の電源側の共通接続点に共通接続し、アノードが各分岐の2つのパワー素子の中点に接続されカソードが共通接続点に接続されたダイオードを有し、電源電圧が存在する場合には高導通状態であり電源電圧が遮断された場合には絶縁状態となる分離用装置を共通接続点と電源電圧点との間に有し、N型半導体中にP型半導体を拡散して形成される拡散抵抗のN型半導体領域とN型半導体領域で回路素子を形成しない領域を共通接続点に接続する。

【0020】請求項2記載のモータ駆動用半導体装置は、請求項1に記載のモータ駆動用半導体装置において、パワー素子はMOS型のトランジスタであることを

7.
特徴とする。

【0021】請求項3記載のモータ駆動用半導体装置は、各々が直列に接続された2つのパワー素子で構成される複数相の分岐を有し、各分岐の2つのパワー素子の中点がモータコイルに接続され、各分岐の電源側を共通接続点で共通接続し、パワー素子はアノードがソースにカソードがドレインに接続されたダイオードを内蔵したMOS型のトランジスタであり、電源電圧が存在する場合には高導通状態であり電源電圧が遮断された場合には絶縁状態となる分離用装置を共通接続点と電源電圧点との間に有し、N型半導体中にP型半導体を拡散して形成される拡散抵抗のN型半導体領域とN型半導体領域で回路素子を形成しない領域を前記共通接続点に接続する。

【0022】これら構成によって、電源電圧遮断後、拡散抵抗のN型半導体領域、素子を形成しないN型半導体領域は、モータの慣性回転によって発生する3相の誘起電力を整流して取り出したノード37に接続されるため、電源電圧遮断時のヘッドアクチュエータの制御回路内に流れる寄生電流が発生せず、誤動作を防止することができる。また、電源電圧が存在している時には、電源電圧検知回路の指令によって、分離用装置が高導通状態になるため、ノード37の電位は、電源電圧とほぼ等しい電圧となり、電源電圧の存在している時の回路動作に何ら悪影響を及ぼすことは無い。

【0023】

【発明の実施の形態】以下、本発明の一実施形態について、図面を参照しながら説明する。図1は本発明の一実施形態における磁気ディスクモータ駆動用半導体装置の半導体断面を模式的に示した図である。図1において、24は出力トランジスタのN型半導体領域、25は拡散抵抗、26は素子を形成しないN型半導体領域であり、これら24～26は従来例の構成と同じである。37は電源電圧遮断時にモータの慣性回転によって発生する3相の誘起電力をS2、S3およびS6のDMOS固有のダイオードで整流して取り出したノード37である。

【0024】以上のように構成された本実施例の磁気ディスクモータ駆動用半導体装置について、以下、その電源電圧遮断時の動作を図1と図2説明する。まず、電源電圧を遮断すると、従来構成と同様、図2に示す電源電圧検知回路6が電源電圧が遮断されたことを検知し、11の分離用DMOSトランジスタをオフさせて電源と磁気ディスクモータ駆動用半導体装置の導通を遮断すると同時に、接続ライン9を経てヘッドアクチュエータ制御回路5にヘッドを退避位置に移動させるためにヘッドアクチュエータを駆動するよう指令を出す。このとき磁気ディスクモータ駆動用半導体装置によるモータの回転制御は遮断されるため、モータの各相と磁気ディスクモータ駆動用半導体装置の接続点27～29(図3参照)の電圧はモータが慣性回転しているため負電位になる区間が発生する。この負電位は、S1、S4およびS5の固

10 有のダイオードによって決まる電圧となる。これによって寄生トランジスタ30が発生する。寄生トランジスタ30はグランド側のNチャネルDMOSトランジスタのドレイン側のN型半導体領域(エミッタ)、P型半導体基板(ベース)、拡散抵抗25のN型半導体領域(コレクタ)で寄生NPNトランジスタ30であり、この寄生NPNトランジスタ30は拡散抵抗25のN型半導体領域からコレクタ電流35を引きこもうとする。しかしながら、本発明では拡散抵抗25のN型半導体領域はモータ2の慣性回転によって発生する3相の誘起電力を整流して取り出したノード37に接続されているため、寄生NPNトランジスタ30のコレクタ電流35は、モータ2の誘起電力から供給され、かつ、拡散抵抗25のN型半導体領域の電位は磁気ディスクモータ駆動用半導体装置において最高電位になっているため、従来構成で発生していた寄生NPNトランジスタ31はオンしなくなり、電源電圧遮断時のヘッドアクチュエータ制御回路5の誤動作の原因となる寄生電流は流れなくなる。また寄生トランジスタ30のコレクタは、N型エピタキシャル層領域で回路素子を形成しない領域からコレクタ電流36を引きこもうとするが、本発明ではN型エピタキシャル層領域で回路素子を形成しない領域はモータ2の慣性回転によって発生する3相の誘起電力を整流して取り出したノード37に接続されているため、このコレクタ電流36は、モータ2の誘起電力から供給され、かつ、このN型半導体の領域は磁気ディスクモータ駆動用半導体装置において最高電位になっているため、従来構成で発生していた寄生NPNトランジスタ33はオンしなくなり、電源遮断時のヘッドアクチュエータ制御回路5の誤動作の原因となる寄生電流34は流れなくなる。

20 【0025】以上のように本実施例によれば、拡散抵抗25のN型半導体領域とN型エピタキシャル層領域で回路素子を形成しない領域を電源電圧遮断時にモータ2の慣性回転によって発生する3相の誘起電力を整流して取り出したノード37に接続したことにより、電源電圧遮断時に発生する寄生NPNトランジスタ30のコレクタ電流をモータの誘起電力から供給するために従来構成で発生した寄生NPNトランジスタ31はオンしなくなり、電源電圧遮断時のヘッドアクチュエータ制御回路5の誤動作の原因となる寄生電流32の発生を防ぐことができる。

【0026】

【発明の効果】本発明は拡散抵抗25のN型半導体領域、N型半導体領域で回路素子を形成しない領域を電源電圧遮断時にモータ2の慣性回転によって発生する3相の誘起電力を整流して取り出したノード37に接続したことにより、モータ2の各相とモータ駆動用半導体装置の接続点27～29に外付けでクランプ回路を付けることなく、電源電圧遮断時に発生する寄生トランジスタ

の影響を低減することができる優れたモータ駆動用半導体装置を実現するものである。

【図面の簡単な説明】

【図1】本発明の一実施形態における磁気ディスクモータ駆動用半導体装置の半導体断面を模式的に示した図

【図2】磁気ディスクモータ駆動用半導体装置のブロック図

【図3】モータ装置のモータと磁気ディスクモータ駆動用半導体装置の接続を示した図

【図4】従来の磁気ディスクモータ駆動用半導体装置の半導体断面を模式的に示した図

【図5】電源電圧遮断後のモータの各相と磁気ディスクモータ駆動用半導体装置の接続点の電圧波形を示した図

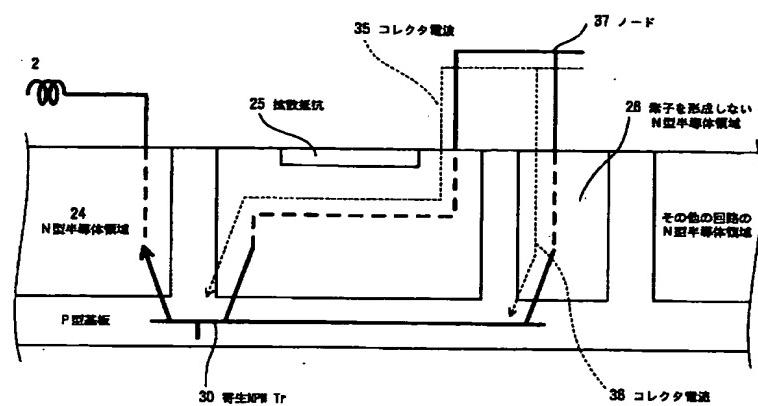
【図6】電源電圧遮断時のヘッドアクチュエータ制御回路の一例を示した図

【符号の説明】

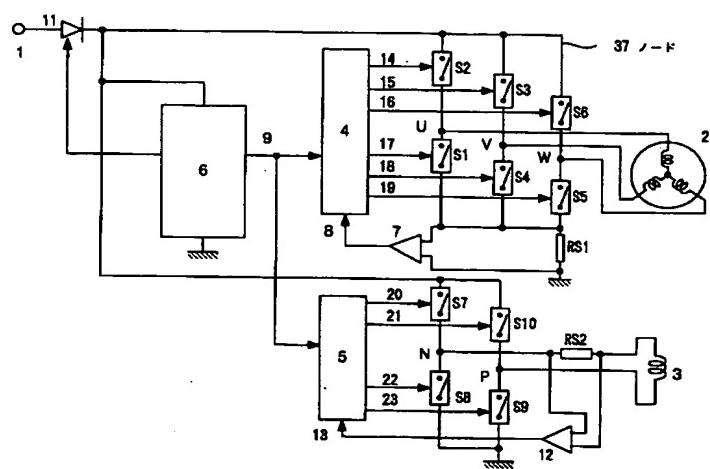
- | | |
|----|-----------------|
| 1 | 電源ライン |
| 2 | モータ |
| 3 | ヘッドアクチュエータ |
| 4 | モータ制御回路 |
| 5 | ヘッドアクチュエータ制御回路 |
| 6 | 電源電圧検知回路 |
| 7 | 増幅器 |
| 8 | 入力端子 |
| 9 | 接続ライン |
| 11 | トランジスタ |
| 12 | 増幅器 |
| 13 | 入力端子 |
| 14 | 接続ライン |
| 15 | 接続ライン |
| 16 | 接続ライン |
| 17 | 接続ライン |
| 18 | 接続ライン |
| 19 | 接続ライン |
| 20 | 接続ライン |
| 21 | 接続ライン |
| 22 | 接続ライン |
| 23 | 接続ライン |
| 24 | N型半導体領域 |
| 25 | 拡散抵抗 |
| 26 | 素子を形成しないN型半導体領域 |
| 27 | 接続点 |

28	接続点
29	接続点
30	寄生NPNトランジスタ
31	寄生PNPトランジスタ
32	寄生電流
33	寄生NPNトランジスタ
34	寄生電流
35	コレクタ電流
36	コレクタ電流
37	ノード(分岐27, 28および29の電源側の共通接続点)
38	容量
39	トランジスタ
40	トランジスタ
41	トランジスタ
42	トランジスタ
43	拡散抵抗
44	抵抗
45	抵抗
20 46	経路
48	ダイオード
49	ダイオード
50	拡散抵抗
52	ダイオード
53	ダイオード
56	ダイオード
N	分岐
P	分岐
S1	パワー素子
30 S2	パワー素子
S3	パワー素子
S4	パワー素子
S5	パワー素子
S6	パワー素子
S7	パワー素子
S8	パワー素子
S9	パワー素子
S10	パワー素子
U	分岐
40 V	分岐
W	分岐

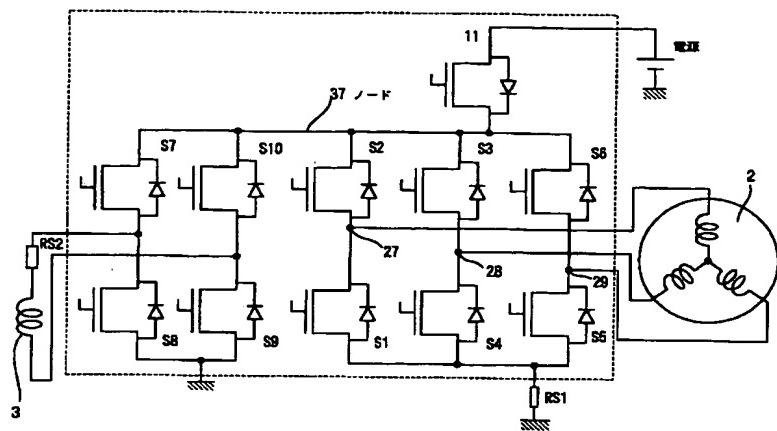
【図1】



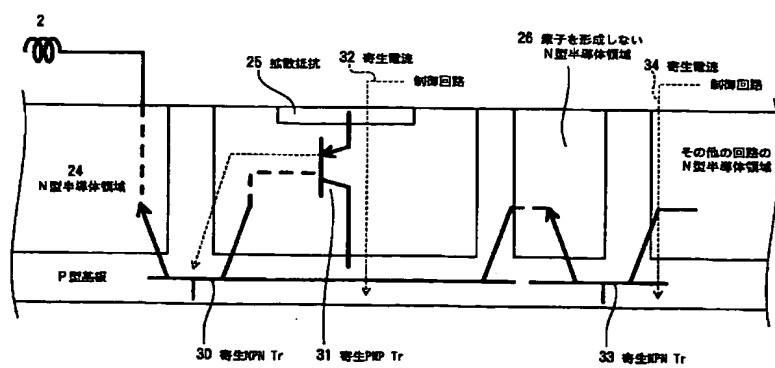
【図2】



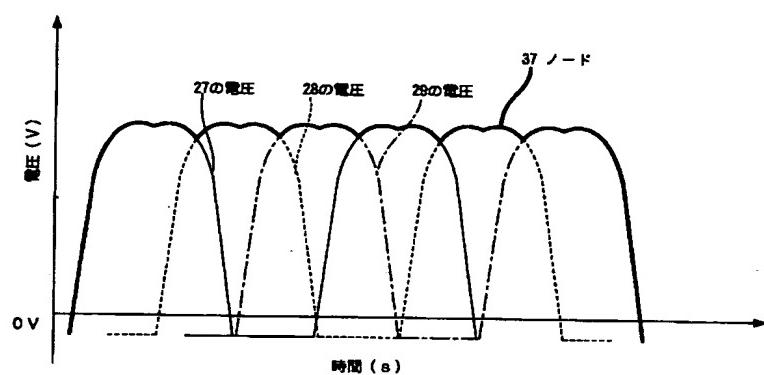
【図3】



【図4】



【図5】



【図6】

